

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-184876

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H01L 21/8247
H01L 29/788
H01L 29/792
H01L 21/283
H01L 21/8234
H01L 27/088
H01L 27/115

(21)Application number : 2000-378790

(71)Applicant : SHARP CORP

(22)Date of filing : 13.12.2000

(72)Inventor : FUJIO MASAYUKI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device wherein the number of processes does not increase when two kinds of MOS transistors with different thickness of gate insulating films are integrated on the same chip.

SOLUTION: Manufacturing of a semiconductor device where a first MOSTr circuit (first circuit) and a second MOSTr circuit (second circuit) are mounted comprises a process (a) that a sacrifice oxide film is formed on the semiconductor substrate and a first circuit formation region is implanted with ion through the film, a process (b) that the sacrifice oxide film on the substrate is removed, a process (c) that a first gate insulating film is formed on the substrate and a second circuit formation region is implanted with ion through the film, a process (d) that the first gate insulating film in the second circuit formation region is removed, and a process (e) that a second gate insulating film and a gate electrode material film are formed on the substrate before patterning. Here, the first circuit comprising the gate insulating film and gate electrode in a lamination structure, and the second circuit comprising the second gate insulating film and gate electrode of the film thickness different from the gate insulating film, are formed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184876

(P2002-184876A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
H 0 1 L 21/8247		H 0 1 L 21/283	C	4 M 1 0 4
29/788		29/78	3 7 1	5 F 0 0 1
29/792		27/08	1 0 2 H	5 F 0 4 8
21/283		27/10	4 3 4	5 F 0 8 3
21/8234				5 F 1 0 1

審査請求 未請求 請求項の数4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2000-378790 (P2000-378790)

(22) 出願日 平成12年12月13日 (2000. 12. 13)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤尾 正之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 ゲート絶縁膜厚の異なる2種のMOSTランジスタを同一チップ上に集積化する際に、工程数が増加しない半導体装置の製造方法を提供する。

【解決手段】 第1のMOST r回路(第1回路)と第2のMOST r回路(第2回路)とが混載された半導体装置を製造する際に、

a) 半導体基板上に犠牲酸化膜を形成し、膜を通して第1回路形成領域にイオン注入する工程、

b) 基板上的犠牲酸化膜を除去する工程、

c) 基板上に第1ゲート絶縁膜を形成し、膜を通して第2回路形成領域にイオン注入する工程、

d) 第2回路形成領域の第1ゲート絶縁膜を除去する工程、

e) 基板上に第2のゲート絶縁膜、ゲート電極材料膜を形成し、パターニングする工程により、積層構造のゲート絶縁膜及びゲート電極を有する第1回路と、ゲート絶縁膜と異なる膜厚の第2のゲート絶縁膜及びゲート電極を有する第2回路とを形成する半導体装置の製造方法。

【特許請求の範囲】

【請求項1】 第1のMOSTランジスタ回路と、第2のMOSTランジスタ回路とが混載された半導体装置を製造するに際して、

(a) 半導体基板上に犠牲酸化膜を形成し、該犠牲酸化膜を通して、第1のMOSTランジスタ回路の形成領域にウエル形成及びチャネル制御のためのイオン注入を行う工程と、

(b) 前記半導体基板上の犠牲酸化膜を除去する工程と、

(c) 前記半導体基板上に第1のゲート絶縁膜を形成し、該第1のゲート絶縁膜を通して、前記第2のMOSTランジスタ回路の形成領域にウエル形成及びチャネル制御のためのイオン注入を行う工程と、

(d) 前記第2のMOSTランジスタ回路の形成領域における第1のゲート絶縁膜を除去する工程と、

(e) 前記半導体基板上に第2のゲート絶縁膜、ゲート電極材料膜を形成し、該ゲート電極材料膜をパターンニングする工程とにより、

積層構造のゲート絶縁膜及びゲート電極を有する第1のMOSTランジスタ回路と、前記ゲート絶縁膜と異なる膜厚の第2のゲート絶縁膜及びゲート電極を有する第2のMOSTランジスタ回路とを形成することを特徴とする半導体装置の製造方法。

【請求項2】 さらに不揮発性メモリセルアレイが混載された半導体装置を製造するに際して、

さらに、(f) 前記不揮発性メモリセルアレイの形成領域にトンネル絶縁膜、浮遊ゲート材料膜及びゲート上絶縁膜を形成する工程と、

(g) 前記不揮発性メモリセルアレイの形成領域に前記ゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜を選択的に残し、かつ前記第1及び第2のMOSTランジスタ回路の形成領域におけるゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜を選択的に除去して半導体基板を露出させる工程とを行うことにより、

トンネル絶縁膜、浮遊ゲート及び制御ゲートを有する不揮発性メモリセルアレイを形成する請求項1に記載の方法。

【請求項3】 工程(c)におけるイオン注入は、レジストパターンをマスクとして用いて行い、工程(d)における第1のゲート絶縁膜を除去する工程は、工程

(c)におけるイオン注入で用いたレジストパターンをマスクとして用いてウェットエッチングにより行う請求項1又は2に記載の方法。

【請求項4】 第1のMOSTランジスタ回路が高耐圧駆動のMOSTランジスタからなる、第2のMOSTランジスタ回路が低耐圧駆動のMOSTランジスタからなる請求項1～3のいずれか1つに記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、より詳細には、ゲート絶縁膜厚の異なる2種のMOSTランジスタ回路を含む半導体装置の製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】近年、不揮発性メモリ等のメモリセルアレイとともにロジック回路をも同一チップに混載するなど、付加価値を高めた半導体装置へのニーズが高まってきている。

【0003】この種の半導体装置では、メモリセルアレイの周辺回路として、メモリセル駆動に必要とされる高電圧を扱う駆動回路などを構成するMOSTランジスタ回路（以下、高耐圧回路という）と、低電圧で高速に動作するロジック回路などを構成するMOSTランジスタ回路（以下、低耐圧回路という）とを含む。これら2種のMOSTランジスタ回路は、ゲート絶縁膜厚が異なり、また、これらはメモリセルアレイとのゲート構造とも異なることから、半導体装置の製造工程は複雑になる。

【0004】この種の半導体装置は、以下の工程によって製造することができる。

【0005】まず、半導体基板の高耐圧回路形成領域と低耐圧回路形成領域とに、それぞれ、ウエル形成とチャネル制御のイオン注入を行う。次いで、不揮発性メモリセル形成領域に、トンネル絶縁膜を形成し、その上に浮遊ゲート電極材料膜を堆積する。さらに、メモリセルアレイにおけるロウ方向の分離を行うためのスリット加工を行う。得られた半導体基板上に、ゲート電極上絶縁膜を堆積する。続いて、これらの積層膜を、不揮発性メモリセル形成領域に残すようにエッチングする。その後、高耐圧回路形成領域に第1のゲート絶縁膜を形成する。このとき、第1のゲート絶縁膜は、熱酸化により、高耐圧駆動に必要とされる膜厚より若干薄く形成される。そして、低耐圧回路形成領域において、第1のゲート絶縁膜をエッチング除去し、再度、低及び高耐圧回路形成領域に、薄い第2のゲート絶縁膜を形成する。その後、これらのゲート絶縁膜の熱処理を行うことにより、高耐圧回路形成領域において、第1のゲート絶縁膜に第2のゲート絶縁膜の積み増しが生じ、第1のゲート絶縁膜は所望の膜厚に形成されることになる。

【0006】続いて、得られた基板上に、ゲート電極材料を堆積して、不揮発性メモリセル形成領域での制御ゲート、高及び低耐圧回路形成領域でのゲート電極をそれぞれパターン形成する。その後、ソース/ドレイン領域を形成する。

【0007】上記の半導体装置の製造方法では、以下のような問題がある。

【0008】高速動作を要求される低耐圧回路に着目すると、ウエル形成及びチャネル制御のイオン注入を行った後に、高及び低耐圧回路形成領域の第1及び第2のゲ

ート絶縁膜形成という少なくとも2回以上の熱酸化工程と、第1のゲート絶縁膜除去工程を経る。また、不揮発性メモリセル形成領域では、トンネル絶縁膜及び浮遊ゲートと制御ゲートと間のゲート上絶縁膜形成のための高温熱処理が行われる。

【0009】これらの工程は、MOSTランジスタにおいてチャネル領域の不純物プロファイルの制御性を著しく困難なものにさせ、所望の素子特性が得られなかったり、あるいは短チャネル効果などを生じさせる。

【0010】そこで、特開平11-284152号公報では、これら不揮発性メモリセルアレイとともにゲート絶縁膜厚の異なる2種のMOSTランジスタ回路でそれぞれ所望の特性を発揮させ、特に低耐圧駆動領域で、所望の素子特性を得るための製造方法が開示されている。

【0011】この製造方法では、まず、図10に示すように、シリコン基板21上に犠牲酸化膜22を形成した状態で、高耐圧回路の形成領域のPMOS及びNMOSTランジスタ形成領域にそれぞれウエル形成及びチャネル制御のためのイオン注入を行い、N型ウエル23及びP型ウエル24を形成する。次いで、所望形状のレジストパターン(図示せず)を用いて、メモリセル形成領域の犠牲酸化膜22をエッチング除去する。

【0012】その後、図11に示すように、メモリセル形成領域にトンネル絶縁膜26、浮遊ゲート電極材料となるポリシリコン膜27を順次堆積し、メモリセル形成領域におけるロウ方向の分離を行うためのスリット加工を行う。さらに、その上にゲート電極上絶縁膜としてONO膜28を堆積する。

【0013】次に、図12に示すように、これら積層膜を、所望形状のレジストパターン29を用いてメモリセル形成領域にのみ残し、高及び低耐圧回路形成領域ではシリコン基板21表面が露出するようにエッチングする。

【0014】続いて、図13に示すように、熱酸化により高耐圧回路用の第1のゲート絶縁膜30(膜厚13nm)を形成する。このとき、第1のゲート絶縁膜30は、高耐圧駆動に必要とされる膜厚より若干薄く形成する。

【0015】次いで、図14及び図15に示すように、低耐圧回路形成領域に対して選択的にウエル形成及びチャネル制御を行うために、レジストパターン31、32を用いてイオン注入をそれぞれ行う。

【0016】その後、図16に示すように、所望形状のレジストパターン33を用いて、低耐圧回路形成領域の第1のゲート絶縁膜30をエッチング除去する。

【0017】次いで、図17に示すように、高温熱酸化により、低耐圧回路形成領域に第2のゲート絶縁膜(膜厚8nm)36を形成する。このとき、高耐圧回路形成領域においては、第1のゲート絶縁膜30上に第2のゲート絶縁膜36が積層され、ゲート絶縁膜40が形成さ

れることになる。なお、この際の熱酸化により、低耐圧領域のN型ウエル34、P型ウエル35が形成される。

【0018】その後、図18に示すように、得られた基板1上に、ゲート電極材料としてポリシリコン膜37を堆積し、図19に示すように、ポリシリコン膜37をパターンニングすることにより、メモリセル形成領域での制御ゲート37a、高及び低耐圧回路形成領域でのゲート電極37b、37cをそれぞれパターン形成し、さらに、ソース/ドレイン領域38、39を形成する。

【0019】不揮発性メモリに関しては、メモリセルアレイ領域の素子特性、とりわけ浮遊ゲートと制御ゲートとの間の絶縁膜、例えば、ONO膜の絶縁特性が重要であるが、一般にONO膜上で多くのリソグラフィー工程を行うと、ONO膜の絶縁信頼性が劣化することが知られている。

【0020】しかし、上記方法では、メモリセルアレイに着目すると、浮遊ゲート上にONO膜を形成した後ONO膜及びポリシリコン膜をパターンニングする工程、低耐圧回路形成領域のPMOS及びNMOSTランジスタ領域にそれぞれイオン注入する工程、低耐圧回路形成領域のゲート絶縁膜をエッチングする工程の計4回のフォトリソグラフィー工程を行うことが必要である。よって、これらのフォトリソグラフィー工程に起因してONO膜の絶縁性が劣化し、製造歩留まりの低下をもたらすことになる。

【0021】また、低耐圧回路形成領域に形成された厚いゲート絶縁膜を除去するためのフォトレジストのパターンニング工程が必要であるため、工程数が多くなり、製造コストの増大をもたらすとともに、TAT(Turn Around Time)が遅延するという問題がある。

【0022】本発明は上記課題に鑑みなされたものであり、工程数を削減しながら、ゲート絶縁膜厚の異なる2種のMOSTランジスタ回路でそれぞれ所望の特性を発揮させることができる半導体装置の製造方法を提供することを目的としている。

【0023】

【課題を解決するための手段】本発明によれば、第1のMOSTランジスタ回路と、第2のMOSTランジスタ回路とが混載された半導体装置を製造するに際して、

(a) 半導体基板上に犠牲酸化膜を形成し、該犠牲酸化膜を通して、第1のMOSTランジスタ回路の形成領域にウエル形成及びチャネル制御のためのイオン注入を行う工程と、(b) 前記半導体基板上の犠牲酸化膜を除去する工程と、(c) 前記半導体基板上に第1のゲート絶縁膜を形成し、該第1のゲート絶縁膜を通して、前記第2のMOSTランジスタ回路の形成領域にウエル形成及びチャネル制御のためのイオン注入を行う工程と、

(d) 前記第2のMOSTランジスタ回路の形成領域における第1のゲート絶縁膜を除去する工程と、(e) 前記半導体基板上に第2のゲート絶縁膜、ゲート電極材料

を形成し、該ゲート電極材料をパターニングする工程とにより、積層構造のゲート絶縁膜及びゲート電極を有する第1のMOSトランジスタ回路と、前記ゲート絶縁膜と異なる膜厚の第2のゲート絶縁膜及びゲート電極を有する第2のMOSトランジスタ回路とを形成する半導体装置の製造方法が提供される。

【0024】

【発明の実施の形態】本発明の半導体装置の製造方法は、少なくとも第1のMOSトランジスタ回路と第2のMOSトランジスタ回路が混載された、いわゆるロジック回路を有する半導体装置を製造する方法である。なお、この方法により製造される半導体装置は、任意に、不揮発性メモリセルアレイ等がさらに混載された、いわゆるロジック混載不揮発性メモリを有していてもよい。

【0025】本発明の半導体装置の製造方法において、工程(a)では、まず、半導体基板上に犠牲酸化膜を形成する。

【0026】ここで使用される半導体基板としては、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体からなる基板、SOI基板又は多層SOI基板等の種々の基板を用いることができる。なかでもシリコン基板が好ましい。この半導体基板上には、LOCOS膜、トレンチ酸化膜、STI膜等の素子分離領域、トランジスタ、キャパシタ、抵抗等の素子、これらによる回路、層間絶縁膜、配線層等が組み合わされて、シングル又はマルチレイヤー構造で形成されていてもよい。

【0027】半導体基板上に形成される犠牲酸化膜は、シリコン酸化膜であることが好ましい。膜厚は特に限定されるものではなく、例えば、半導体プロセスにおいて半導体基板表面を保護し得るような膜厚が挙げられる。具体的には、2～50nm程度が適当である。犠牲酸化膜は、例えば、熱酸化法、常圧CVD法、減圧CVD法、プラズマCVD法、スパッタ法等種々の方法の中から選択して形成することができる。

【0028】次いで、犠牲酸化膜を通して、第1のMOSトランジスタ回路の形成領域にイオン注入を行う。このイオン注入は、第1のMOSトランジスタにウェルを形成し、さらに、チャネル制御するために行う。通常、第1のMOSトランジスタ回路の形成領域の任意の領域、例えば、PMOS形成領域又はNMOS形成領域等に開口を有するマスクをフォトリソグラフィ工程により形成して利用することにより、所望の領域にのみイオン注入することができる。なお、ウェル形成及び／又はチャネル制御のためのイオン注入におけるイオン種、加速電圧、ドーズ等を異ならせる必要がある場合には、イオン注入を複数回行ってもよいし、また、それらに対応したマスクをそれぞれ形成し、利用して、複数回イオン注入してもよい。これにより、NMOSトランジスタを形

成する領域には少なくとも1つのPウェルを、PMOSトランジスタを形成する領域には少なくとも1つのNウェルを、CMOSトランジスタを形成する領域にはPウェル及びNウェルを少なくとも1つずつ形成することができるとともに、所望の閾値電圧を得るためにチャネル領域の不純物濃度を制御することができる。

【0029】工程(b)において、犠牲酸化膜を除去する。犠牲酸化膜の除去は、膜質等により、種々の方法を適宜選択することができ、例えば、ふっ酸、熱リン酸、硝酸、硫酸等を用いたウェットエッチング、RIE法等のドライエッチング、CMP(化学的機械的研磨)法等種々の方法が挙げられる。

【0030】工程(c)において、まず、半導体基板上に第1のゲート絶縁膜を形成する。第1のゲート絶縁膜としては、例えば、シリコン酸化膜(熱酸化膜、低温酸化膜: LTO膜等、高温酸化膜: HTO膜)、シリコン窒化膜、 Ta_2O_5 等の高誘電体膜等の単層膜又は積層膜が挙げられる。なかでも、シリコン酸化膜が好ましい。第1のゲート絶縁膜は、熱酸化法、常圧CVD法、減圧CVD法、プラズマCVD法、スパッタ法、陽極酸化法等種々の方法の中から選択して形成することができる。膜厚は、その機能、後述する第2のゲート絶縁膜の膜厚等を考慮して適宜設定することができ、例えば、5～50nm程度が挙げられる。

【0031】次いで、第1のゲート絶縁膜を通して、第2のMOSトランジスタ回路の形成領域にイオン注入を行う。このイオン注入は、第2のMOSトランジスタにウェルを形成し、さらに、チャネル制御のために行う。通常、第2のMOSトランジスタ回路の形成領域の任意の領域、例えば、PMOS形成領域又はNMOS形成領域等に開口を有するマスクをフォトリソグラフィ工程により形成して利用することにより、所望の領域にのみイオン注入することができる。なお、ウェル形成及び／又はチャネル制御のためのイオン注入におけるイオン種、加速電圧、ドーズ等を異ならせる必要がある場合には、イオン注入を複数回行ってもよいし、また、それらに対応したマスクをそれぞれ形成し、利用して、複数回イオン注入してもよい。これにより、NMOSトランジスタを形成する領域には少なくとも1つのPウェルを、PMOSトランジスタを形成する領域には少なくとも1つのNウェルを、CMOSトランジスタを形成する領域にはPウェル及びNウェルを少なくとも1つずつ形成することができるとともに、所望の閾値電圧を得るためにチャネル領域の不純物濃度を制御することができる。

【0032】工程(d)において、第2のMOSトランジスタ回路の形成領域上の第1のゲート絶縁膜を除去する。少なくとも第2のMOSトランジスタ回路の形成領域上の第1のゲート絶縁膜をほぼ完全に除去する方法としては、例えば、工程(c)でイオン注入の際に使用したマスクを利用して、第1のゲート絶縁膜をドライエッ

チング又はウェットエッチングする方法が挙げられる。

【0033】工程(e)において、まず、得られた半導体基板上に、第2のゲート絶縁膜、ゲート電極材料を形成する。第2のゲート絶縁膜としては、第1のゲート絶縁膜と同じ材料、形成方法等が挙げられる。膜厚は、その機能、第1のゲート絶縁膜の膜厚等に応じて適宜設定することができ、例えば、1～10nm程度が挙げられる。なお、第2のゲート絶縁膜を半導体基板上全面に形成することにより、第1のMOSトランジスタ回路の形成領域においては、第1のゲート絶縁膜上に第2のゲート絶縁膜が形成された積層構造のゲート絶縁膜が形成されることになる。このような積層構造膜をゲート絶縁膜として良好に機能させるためには、熱処理することが好ましい。この熱処理は、他の工程、例えば、不純物拡散のための熱処理、熱酸化等を利用してもよい。熱処理の条件は、使用する第1及び第2のゲート絶縁膜、膜厚、得ようとするMOSトランジスタの性能/特性等に応じて、適宜設定することができる。

【0034】ゲート電極材料としては、通常、電極として用いられるものであれば特に限定されるものではなく、例えば、ポリシリコン、モノシリコン、アモルファスシリコン等のシリコン；白金、アルミニウム、銅、ニッケル等の金属；タンタル、チタン、コバルト、タングステン等の高融点金属；これら高融点金属とのシリサイド等の単層膜又は積層膜が挙げられる。なかでも、ポリシリコンの単層膜、高融点金属とのシリサイド、ポリサイドからなる膜が好ましい。ポリシリコンを使用する場合には、ポリシリコン膜を形成する際又は形成した後に、N型又はP型の不純物をドーピングして所定の抵抗値に設定することが好ましい。ゲート電極材料は、スパッタ法、CVD法、真空蒸着法、EB法等の種々の方法の中から選択して、膜厚50～300nm程度で形成することができる。

【0035】次いで、ゲート電極材料をパターニングする。パターニングは、公知の方法、例えば、フォトリソグラフィ及びエッチング工程により、所定形状のマスクパターンを形成し、このマスクパターンを用いて、ウェット又はドライエッチングによって行うことができる。

【0036】ゲート電極材料をパターニングすることにより、第1のMOSトランジスタ回路及び第2のMOSトランジスタ回路に、それぞれ所定の形状及び大きさのゲート電極を形成することができる。

【0037】なお、工程(a)～(e)は、この順序で行うことが適当であるが、これらの順序を変更してもよく、また、各工程が完了しないうちに他の工程を進行させてもよく、結果的に、工程(a)～(e)を実現できればよい。また、各工程の前、中、後に、他のイオン注入、サイドウォールスペーサの形成、熱処理、絶縁膜の形成、コンタクトホール形成、配線の形成等、通常の半導体プロセスで行われる工程を任意に行ってもよい。

【0038】例えば、半導体装置として、第1のMOSトランジスタ回路と第2のMOSトランジスタ回路とのほかに、不揮発性メモリセルアレイが混載された半導体装置を製造する場合には、工程(a)～(e)に加えて、不揮発性メモリセルアレイの形成領域にトンネル絶縁膜、浮遊ゲート材料膜及びゲート上絶縁膜を形成する工程(f)及び不揮発性メモリセルアレイの形成領域にゲート上絶縁膜と浮遊ゲート材料膜及びトンネル絶縁膜を選択的に残し、かつ第1及び第2のMOSトランジスタ回路の形成領域におけるゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜を選択的に除去して半導体基板を露出させる工程(g)を行うことが好ましい。

【0039】トンネル絶縁膜は、第1及び第2のゲート絶縁膜と同様の材料、形成方法等で形成することができる。膜厚は、例えば、2～20nm程度が挙げられる。

【0040】浮遊ゲート材料膜は、例えば、ゲート電極材料膜と同様の材料、形成方法等で形成することができる。膜厚は、例えば、50～300nm程度が挙げられる。

【0041】ゲート上絶縁膜は、例えば、例えば、シリコン酸化膜(熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜)、シリコン窒化膜、SOG膜、PSG膜、BSG膜、BPSG膜、PZT、PLZT、強誘電体膜又は反強誘電体膜等の単層膜又は積層膜等が挙げられる。なかでも、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の3層構造膜が好ましい。ゲート上絶縁膜は、例えば、スパッタ法、CVD法、蒸着法、EB法、スピンコート法、MOCVD法、ゾルゲル法等種々の方法で形成することができる。膜厚は、その機能に応じて設定することができ、例えば、5～50nm程度が挙げられる。

【0042】これらゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜を不揮発性メモリセルアレイの形成領域に選択的に残す方法としては、例えば、この領域を被覆するレジストマスクを形成して利用する方法が挙げられる。このようなレジストマスクを利用して、ゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜をウェットエッチング又はドライエッチングすることにより、第1及び第2のMOSトランジスタ回路の形成領域における半導体基板を露出させることができる。

【0043】工程(f)及び(g)は、例えば、工程(b)の後、かつ工程(c)の前に行うことが好ましい。

【0044】また、本発明においては、第1及び第2のMOSトランジスタ回路は、ゲート絶縁膜の膜厚が異なるトランジスタからなる回路であれば、どのような種類のものであってもよい。例えば、第1のMOSトランジスタ回路がいわゆる高耐圧駆動回路であり、第2のMOSトランジスタ回路がいわゆる低耐圧駆動回路であることが適当である。ここで、低耐圧駆動回路とは、信号処

理回路、メモリ回路等の比較的動作電圧の低い回路であり、高耐圧駆動回路とは、低耐圧駆動回路よりも動作電圧が高い回路を意味する。

【0045】以下に本発明の半導体装置の製造方法を図面に基づいて説明する。

【0046】図1～9は、本発明の半導体装置の製造方法を、ロジック混載不揮発性メモリに適用した実施例の製造工程断面図である。ここで、各図の(a)、(b)及び(c)は、同じ工程におけるメモリセルアレイの形成領域、高耐圧回路の形成領域及び低耐圧回路の形成領域をそれぞれ示す。この実施例の場合、高耐圧駆動回路及び低耐圧駆動回路は、ともにCMOS回路からなる。

【0047】まず、図1に示すように、素子分離膜5が形成されるシリコン基板1に犠牲酸化膜2を膜厚10nm程度形成する。その後、高耐圧回路形成領域のN型ウエル形成領域に開口を有するレジストパターン(図示せず)を形成し、リンを加速電圧150keV程度で、 $1 \times 10^{13} \text{ ions/cm}^2$ のオーダーでイオン注入する。続いて、高耐圧回路形成領域のP型ウエル形成領域に開口を有するレジストパターン(図示せず)を形成し、ボロンを加速電圧100keV程度で $1 \times 10^{13} \text{ ions/cm}^2$ のオーダーでイオン注入する。その後、レジストパターンを除去し、1200℃前後の温度で6時間程度の熱拡散処理を行って、N型ウエル3及びP型ウエル4を形成する。

【0048】次に、高耐圧回路形成領域のNMOSTランジスタ形成領域に開口を有するレジストパターン(図示せず)を形成して、60keV程度の加速電圧でボロンを適正量イオン注入する。次いで、PMOSTランジスタ形成領域に開口を有するレジストパターン(図示せず)を形成して、短チャネル効果抑制のために、リンイオンを300keV程度の加速電圧で、さらにしきい値制御のために、ボロンイオンを20keV程度の加速電圧でイオン注入する。

【0049】続いて、メモリセルアレイ形成領域に開口を有するレジストパターン(図示せず)を形成して、メモリセルアレイ形成領域の犠牲酸化膜2をウェットエッチングにより除去する。その後、図2に示すように、メモリセル形成領域に1000℃程度の熱酸化により、膜厚10nm程度のトンネル絶縁膜6を形成する。さらに、得られたシリコン基板1上全面に浮遊ゲート電極材料となるn型のポリシリコン膜7を堆積する。ポリシリコン膜7に、メモリセル形成領域におけるロウ方向の分離のためのスリット加工を行う。その上に浮遊ゲート上絶縁膜としてONO膜8を形成する。ONO膜8は、例えば、1000℃の希釈酸化によるシリコン酸化膜(6nm程度)を形成し、その上にシリコン窒化膜(10nm程度)を形成し、さらに燃焼酸化法によりシリコン窒化膜の膜厚4nm分程度を6nm程度のシリコン酸化膜に変換することにより、シリコン酸化膜6nm/シリコ

ン窒化膜6nm/シリコン酸化膜6nmの積層構造として形成することができる。

【0050】その後、図3に示すように、メモリセルアレイ形成領域を覆うレジストパターン9を形成して、高耐圧及び低耐圧駆動領域のONO膜8及びポリシリコン膜7を順次エッチング除去し、さらに犠牲酸化膜2もウェットエッチングにより除去して、高耐圧及び低耐圧回路形成領域の基板表面を露出させる。

【0051】次いで、図4に示すように、高耐圧及び低耐圧回路形成領域に、高耐圧回路用のゲート絶縁膜の一部となる膜厚13nm程度の第1のゲート絶縁膜10を熱酸化により形成する。この際の酸化は、メモリセルアレイ形成領域のONO膜8にも加わるが、窒化膜の酸化レートは無視できる程度に抑えられる。なお、第1のゲート絶縁膜10は、この段階では規定の膜厚にわずかに足りない状態とされ、後述の低耐圧回路形成領域のゲート酸化工程で積み増しされることになる。

【0052】次に、図5に示すように、低耐圧回路形成領域のNMOSTランジスタ形成領域にのみ開口を有するレジストパターン11を形成し、ウエル形成のために、ボロンイオンを加速電圧を300keV、150keV、80keVと順次切り替えて $1 \times 10^{13} / \text{cm}^2$ のドーズでイオン注入を行う。引き続き、チャネル制御のために、ボロンイオンを加速電圧20keV、 $1 \times 10^{13} / \text{cm}^2$ のドーズでイオン注入する。

【0053】続いて、レジストパターン11を残存させた状態で、ウェットエッチングにより低耐圧回路形成領域のNMOSTランジスタ領域の第1のゲート絶縁膜10を除去する。このウェットエッチングは、フッ酸(HF):フッ化アンモニウム(NH_4F)が1:30の割合の混合液を用いて、360秒間程度行う。エッチング量は、15nm程度となり、既に形成されている第1のゲート絶縁膜10の膜厚13nmに対して、2nmのオーバーエッチとなるが、これにより第1のゲート絶縁膜10は完全に除去される。この後、さらに後処理として10分間程度の硫酸過水処理によるレジスト剥離と流水処理とを行う。

【0054】次いで、図6に示すように、低耐圧回路形成領域のPMOSTランジスタ形成領域にのみ開口を有するレジストパターン12を形成し、ウエル形成のために、リンイオンを加速電圧を800keV、500keV、300keVと順次切り替えて $1 \times 10^{13} / \text{cm}^2$ のドーズでイオン注入を行う。引き続きチャネル制御のために、リンイオンを100keVで $1 \times 10^{13} / \text{cm}^2$ のドーズでイオン注入し、しきい値制御を行う。

【0055】そして、レジストパターン12を残存させた状態で、上記と同様に、ウェットエッチングにより低耐圧回路のPMOSTランジスタ領域の第1のゲート絶縁膜10を除去する。その後、上記と同様に、レジスト剥離と流水処理とを行う。これにより、低耐圧回路形成

領域全体の第1のゲート絶縁膜10が除去される。

【0056】なお、工程簡略のために、低耐圧及び高耐圧駆動領域に対して、ウェル形成及びチャネル制御のためのイオン注入を同時に行ってもよい。

【0057】この後、熱処理を行って、図7に示すように、低耐圧回路形成領域にP型ウェル14、N型ウェル15を形成する。硫酸過水による有機物除去、アンモニア過水によるパーティクル除去、塩酸過水による金属不純物除去、希フッ酸による自然酸化膜除去及び超純水による最終洗浄を順次行うRCA洗浄により基板洗浄を行った後、高温熱酸化により、低耐圧回路形成領域に膜厚8nm程度の第2のゲート絶縁膜16を形成する。この高温熱酸化では、高耐圧回路形成領域に既に形成されている第1のゲート絶縁膜10の膜厚が増し、例えば17nm程度の膜厚のゲート絶縁膜20が形成される。これは、メモリセル駆動回路に必要とされる10V程度の耐圧を確保するのに必要なゲート絶縁膜厚である。

【0058】次いで、図8に示すように、ゲート電極材料としてポリシリコン膜17を堆積する。

【0059】続いて、通常の工程に従って、図9に示すように、メモリセル形成領域ではポリシリコン膜17をパターニングして制御ゲート17aと、これと自己整合的にポリシリコン膜をパターニングして浮遊ゲート7aの積層ゲート構造を形成する。高及び低耐圧回路形成領域では、ポリシリコン膜17をパターニングして、それぞれ所望のゲート長のゲート電極17b、17cを形成し、さらにソース/ドレイン領域18、19となるn⁺拡散層及びp⁺拡散層を順次形成する。

【0060】その後、層間絶縁膜を堆積し、金属配線を必要なら多層に配設して、ロジック混載不揮発性メモリを完成する。

【0061】この実施例によれば、メモリセル形成領域のONO膜を形成後、リソグラフィ工程は、ONO膜及びポリシリコン膜をエッチングする工程、NMOSTランジスタ領域にイオン注入及びゲート絶縁膜をエッチング除去する工程、PMOSTランジスタ領域にイオン注入及びゲート絶縁膜をエッチング除去する工程の計3回にとどまる。したがって、メモリセルアレイの信頼性劣化を最小限に抑えることができる。

【0062】

【発明の効果】本発明によれば、(a)半導体基板上に犠牲酸化膜を形成し、該犠牲酸化膜を通して、第1のMOSTランジスタ回路の形成領域にウェル形成及びチャネル制御のためのイオン注入を行う工程と、(b)前記半導体基板上の犠牲酸化膜を除去する工程と、(c)前記半導体基板上に第1のゲート絶縁膜を形成し、該第1のゲート絶縁膜を通して、前記第2のMOSTランジスタ回路の形成領域にウェル形成及びチャネル制御のためのイオン注入を行う工程と、(d)前記第2のMOSTランジスタ回路の形成領域における第1のゲート絶縁膜

を除去する工程と、(e)前記半導体基板上に第2のゲート絶縁膜、ゲート電極材料膜を形成し、該ゲート電極材料膜をパターニングする工程とにより、積層構造のゲート絶縁膜及びゲート電極を有する第1のMOSTランジスタ回路と、前記ゲート絶縁膜と異なる膜厚の第2のゲート絶縁膜及びゲート電極を有する第2のMOSTランジスタ回路とを形成するため、従来のような低耐圧駆動領域に形成された厚いゲート絶縁膜を改めて除去するためのフォトリソパターニングステップが不要となり、これに伴い、フォトリソを削減できる。ひいては、短TAT化及びプロセスコストの低減を図ることができる。

【0063】また、(f)前記不揮発性メモリセルアレイの形成領域にトンネル絶縁膜、浮遊ゲート材料膜及びゲート上絶縁膜を形成する工程と、(g)前記不揮発性メモリセルアレイの形成領域に前記ゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜を選択的に残し、かつ前記第1及び第2のMOSTランジスタ回路の形成領域におけるゲート上絶縁膜、浮遊ゲート材料膜及びトンネル絶縁膜を選択的に除去して半導体基板を露出させる工程とを行うことにより、トンネル絶縁膜、浮遊ゲート及び制御ゲートを有する不揮発性メモリセルアレイを形成する場合には、上記の効果に加えて、フォトリソの削減に伴い、ゲート上絶縁膜の絶縁信頼性の劣化を最小限に抑えることができ、高性能なロジック混載不揮発性メモリを製造することが可能となる。

【0064】さらに、工程(c)におけるイオン注入は、レジストパターンをマスクとして用いて行い、工程(d)における第1のゲート絶縁膜を除去する工程は、工程(c)におけるイオン注入で用いたレジストパターンをマスクとして用いてウェットエッチングにより行う場合には、特別な工程を追加することがないため、製造工程の簡略化をさらに図ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図2】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図3】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図4】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図5】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図6】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図7】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図8】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図9】本発明の半導体装置の製造方法を実施するための概略工程断面図である。

【図10】従来の半導体装置の製造方法の概略工程断面図である。

【図11】従来の半導体装置の製造方法の概略工程断面図である。

【図12】従来の半導体装置の製造方法の概略工程断面図である。

【図13】従来の半導体装置の製造方法の概略工程断面図である。

【図14】従来の半導体装置の製造方法の概略工程断面図である。

【図15】従来の半導体装置の製造方法の概略工程断面図である。

【図16】従来の半導体装置の製造方法の概略工程断面図である。

【図17】従来の半導体装置の製造方法の概略工程断面図である。

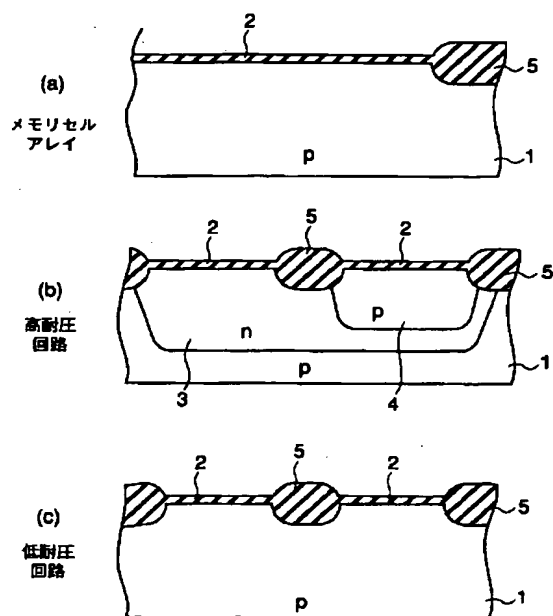
【図18】従来の半導体装置の製造方法の概略工程断面図である。

【図19】従来の半導体装置の製造方法の概略工程断面図である。

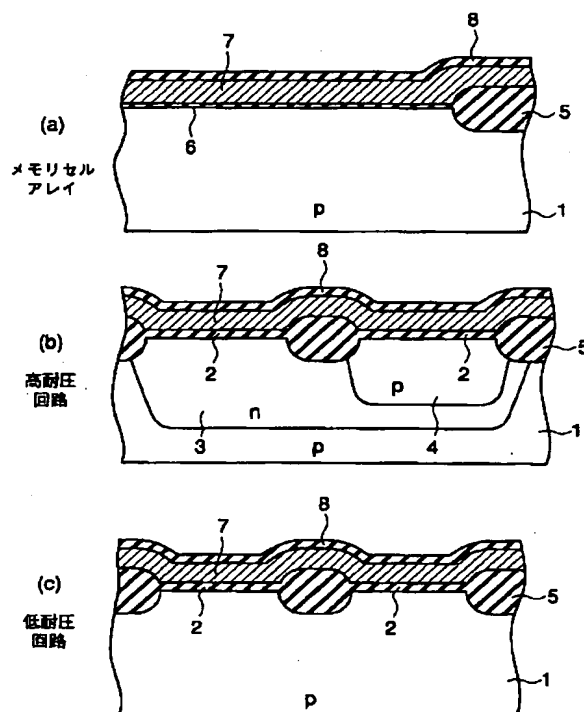
【符号の説明】

- 1 シリコン基板（半導体基板）
- 2 犠牲酸化膜
- 3、15 N型ウエル
- 4、14 P型ウエル
- 5 素子分離膜
- 6 トンネル絶縁膜
- 7 ポリシリコン膜（浮遊ゲート材料膜）
- 7a 浮遊ゲート
- 8 ONO膜
- 9、11、12 レジストパターン
- 10 第1のゲート絶縁膜
- 16 第2のゲート絶縁膜
- 17 ポリシリコン膜（ゲート電極材料膜）
- 17a 制御ゲート
- 17b、17c ゲート電極
- 18、19 ソース／ドレイン領域
- 20 ゲート絶縁膜

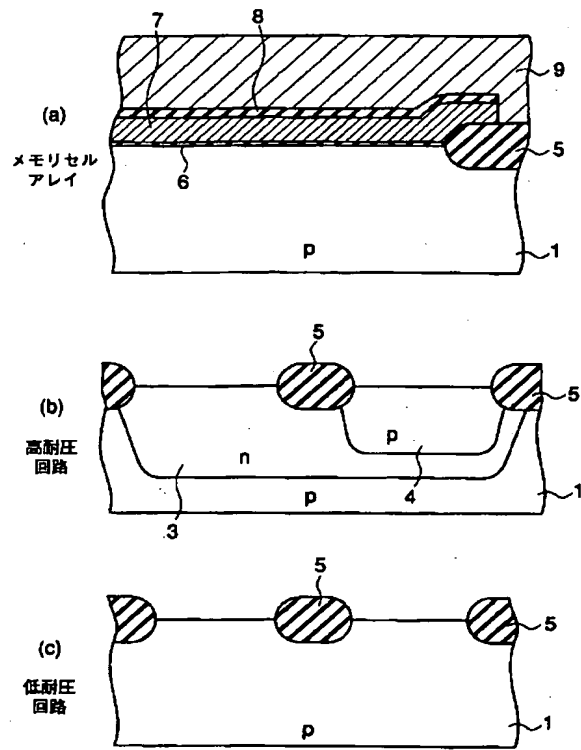
【図1】



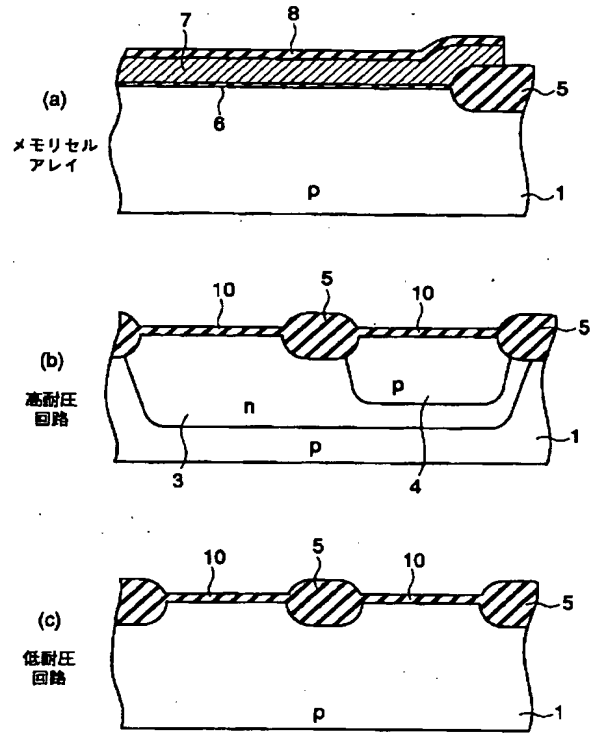
【図2】



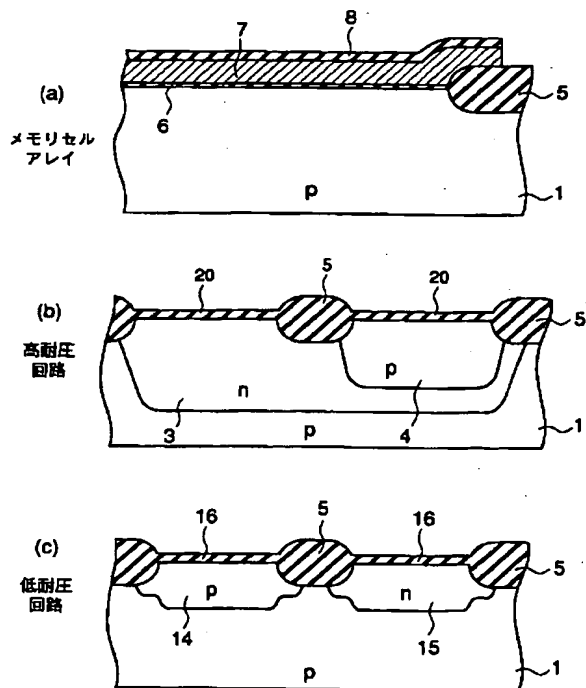
【図3】



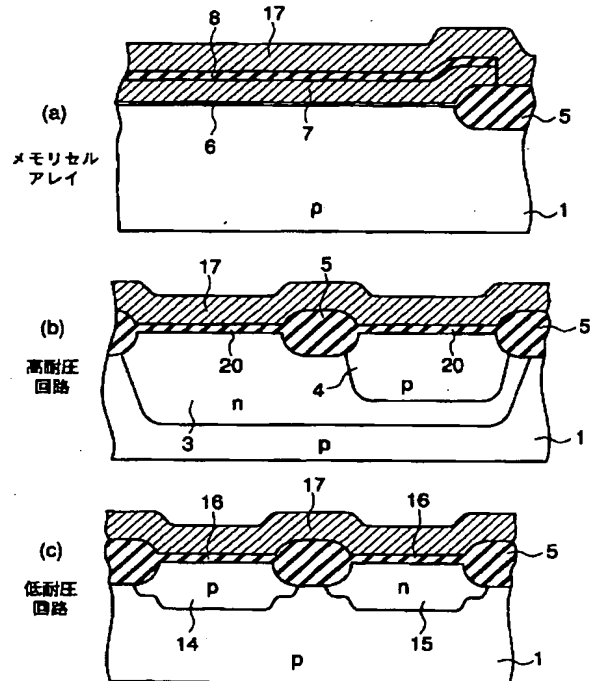
【図4】



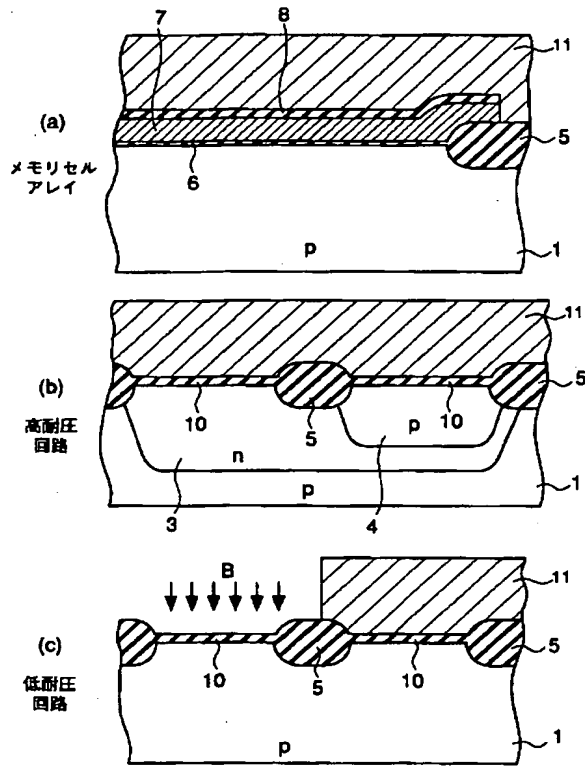
【図7】



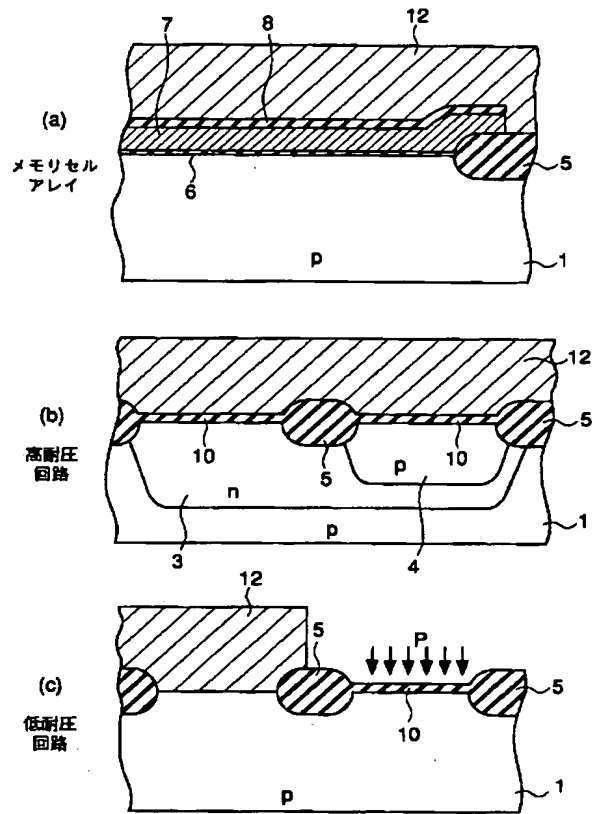
【図8】



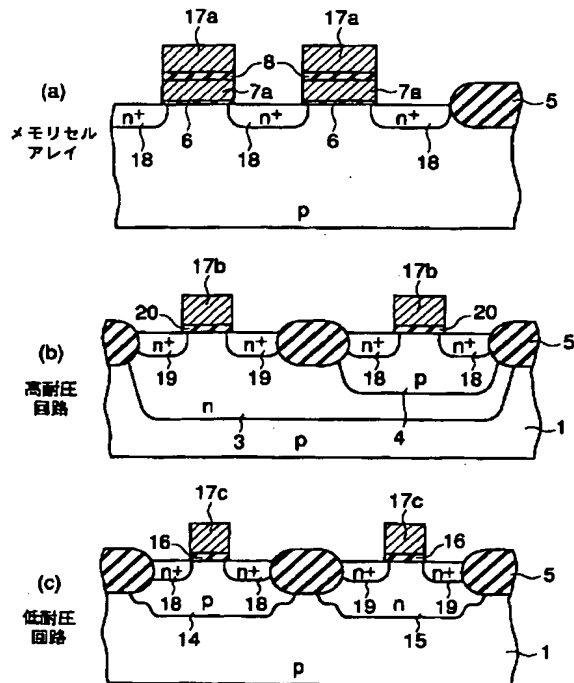
【図5】



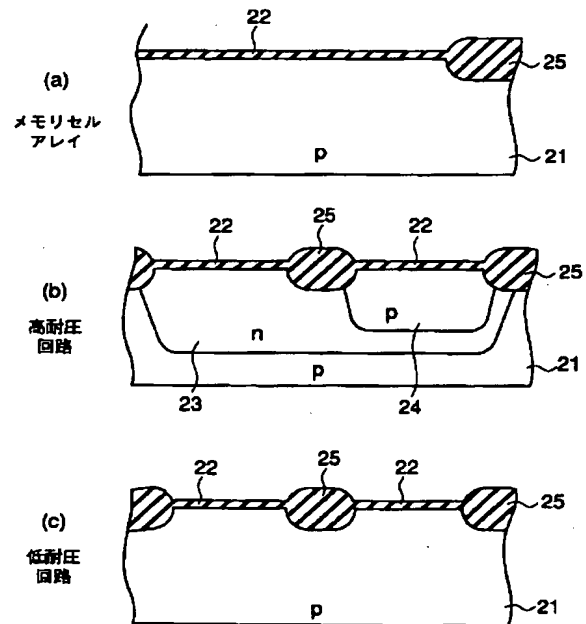
【図6】



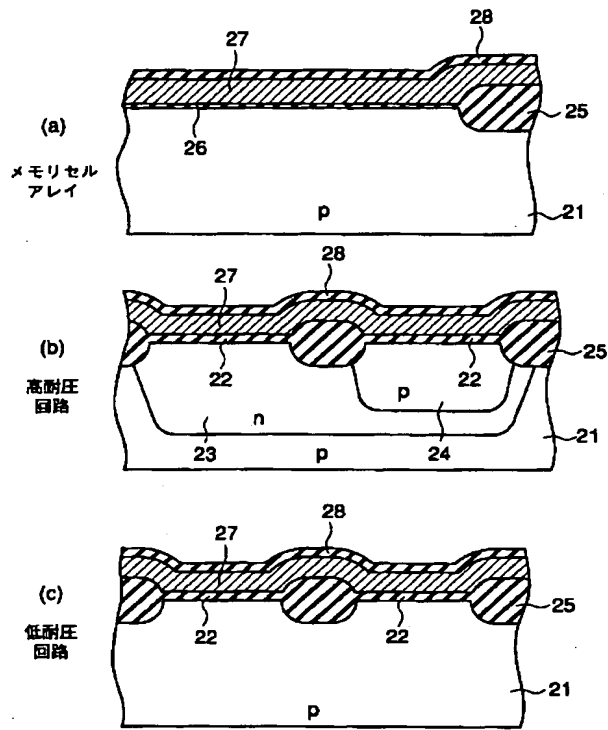
【図9】



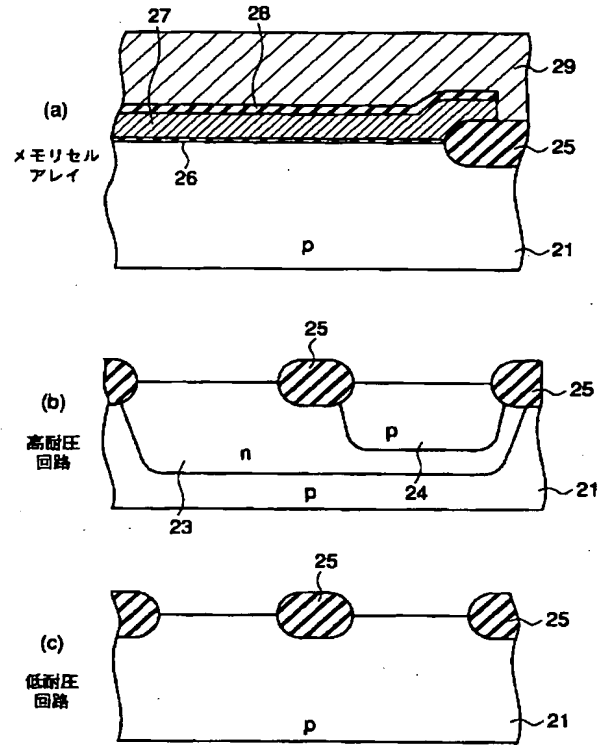
【図10】



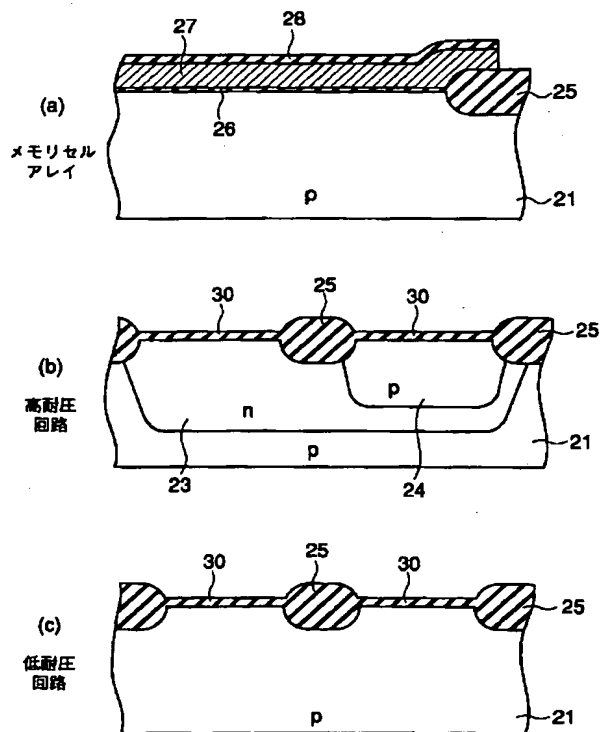
【図11】



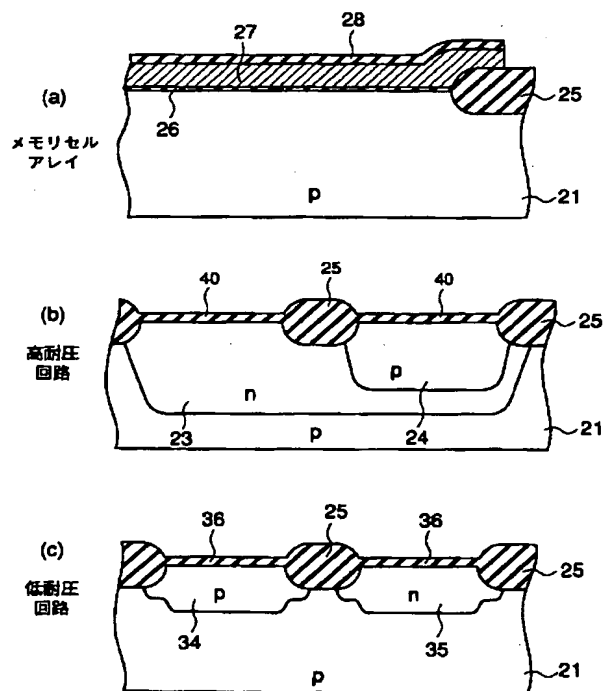
【図12】



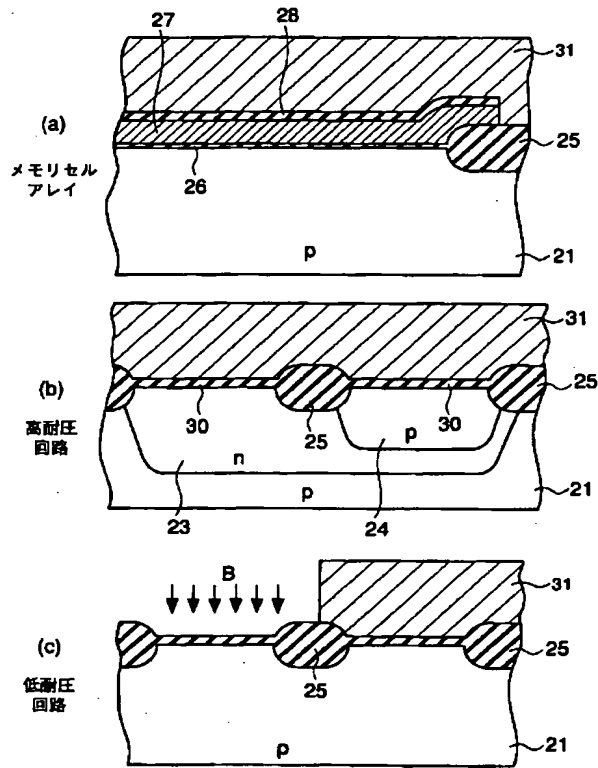
【図13】



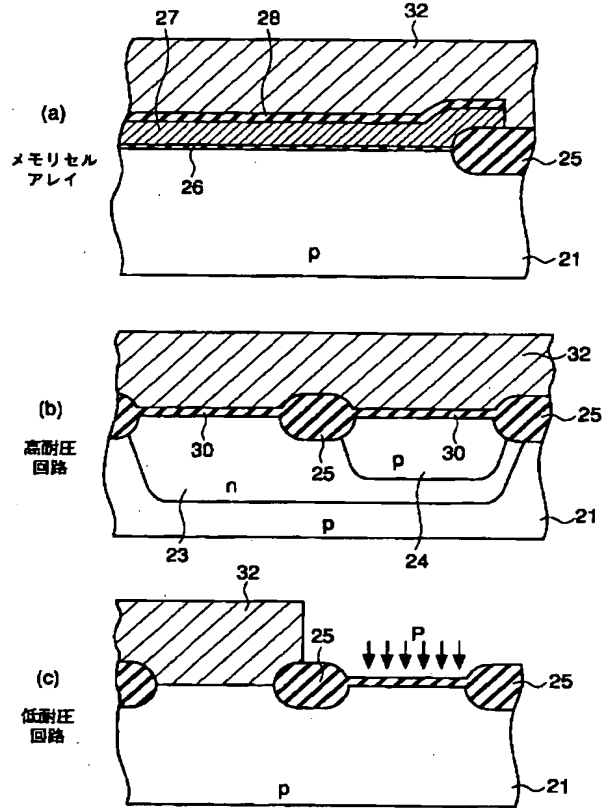
【図17】



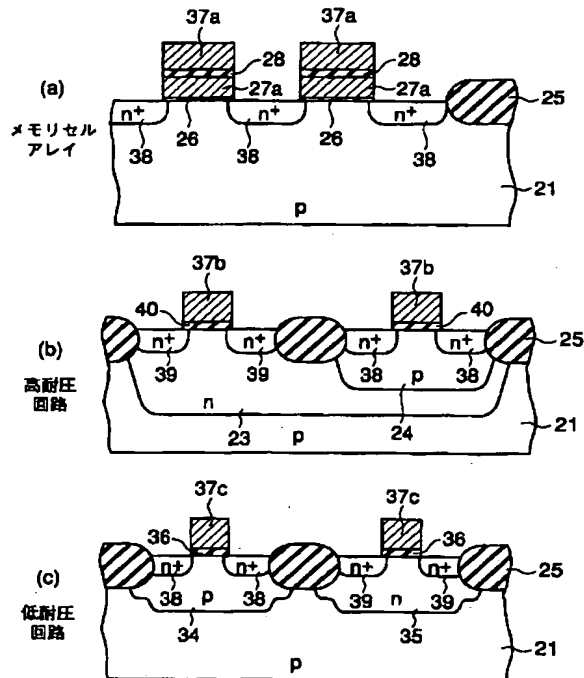
【図14】



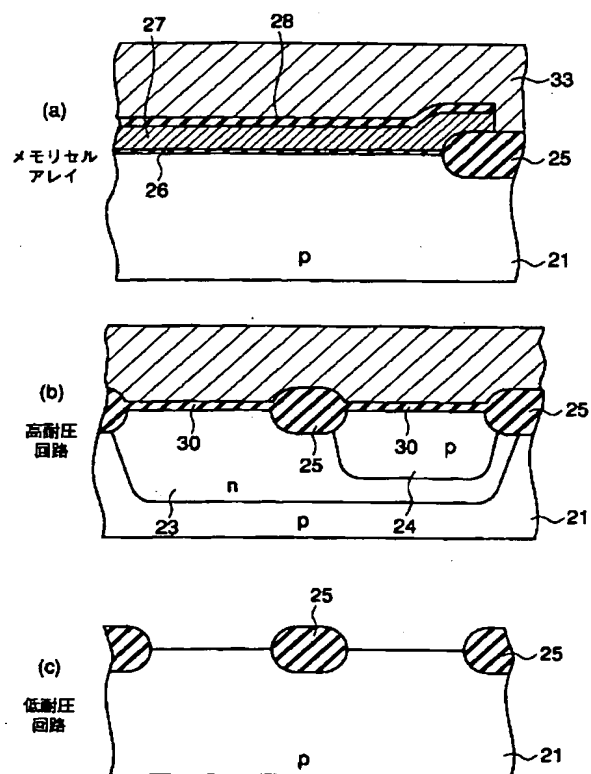
【図15】



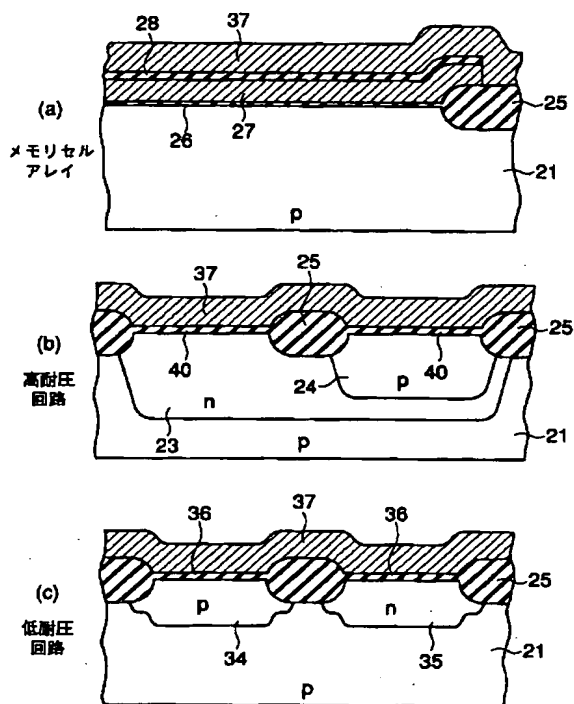
【図19】



【図16】



【図18】



フロントページの続き

(51)Int.Cl.⁷

H01L 27/088

27/115

識別記号

FI

テーム (参考)

Fターム(参考) 4M104 AA01 BB01 CC05 DD94 EE03
 GG10 GG16 HH20
 5F001 AA01 AB08 AD03 AD62 AG02
 AG10 AG12 AG29 AG40
 5F048 AA07 AA09 AB01 AB03 AC03
 BA01 BB05 BB16 BE02 BE03
 BG12 DA10 DA18
 5F083 EP02 EP23 EP42 EP55 PR36
 5F101 BA01 BB05 BD24 BD37 BH03
 BH09 BH14 BH15 BH21